

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

00774322 \*\*Image available\*\*

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 56-094622 [JP 56094622 A]

PUBLISHED: July 31, 1981 (19810731)

INVENTOR(s): ITO HIROSHI

NAKAGAWA KOJI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 54-171699 [JP 79171699]

FILED: December 27, 1979 (19791227)

INTL CLASS: [3] H01L-021/208; H01L-021/263; H01L-021/86; H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097  
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 79, Vol. 05, No. 167, Pg. 15, October  
24, 1981 (19811024)

**ABSTRACT**

PURPOSE: To obtain a desired element by forming an amorphous semiconductor film on a prescribed substrate and by heating the same selectively by application of a laser beam to convert it into crystalline structure.

CONSTITUTION: An Si substrate is provided in opposition to a silica glass substrate 1, PH<sub>3</sub> is added into Ar, and a nearly-insulated amorphous Si film 2 containing P is prepared by the glow discharge of SiH<sub>4</sub> generated by application of high-frequency electric power. Then, a metallic mask 3 being given to the film, the Ar-ion laser beam is applied thereto selectively, whereby it is heated and converted into a single crystal 4.

When the desired element is formed on the film 4, the amorphous Si film 2 is left as an element separating layer. By this constitution, a glass plate is sufficient for the device, with no expensive substrate such as sapphire in SOS being required, and thus the cost for the device can be reduced.

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. réserv.

3468316

Basic Patent (No,Kind,Date): JP 56094622 A2 810731 <No. of Patents: 001>

MANUFACTURE OF SEMICONDUCTOR DEVICE (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): ITOU HIROSHI; NAKAGAWA KOUJI

IPC: \*H01L-021/208; H01L-021/263; H01L-021/86; H01L-029/78

JAPIO Reference No: \*050167E000015;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 56094622	A2	810731	JP 79171699	A	791227 (BASIC)

Priority Data (No,Kind,Date):

JP 79171699 A 791227

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭56-94622

⑫ Int. Cl.<sup>3</sup>  
H 01 L 21/208  
21/263  
21/86  
29/78

識別記号

厅内整理番号  
7739-5F  
6851-5F  
7739-5F  
6603-5F

⑬ 公開 昭和56年(1981)7月31日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 半導体装置の製造方法

⑮ 特願 昭54-171699

⑯ 出願 昭54(1979)12月27日

⑰ 発明者 伊東宏

川崎市幸区小向東芝町1番地東  
京芝浦電気株式会社総合研究所  
内

⑱ 発明者 中川公史

川崎市幸区小向東芝町1番地東  
京芝浦電気株式会社総合研究所  
内

⑲ 出願人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑳ 代理人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 所定の基板上に非晶質半導体膜を形成し、この非晶質半導体膜の所定箇所を選択的に加熱して結晶質半導体膜に変換し、この結晶質半導体膜に所定の電子を吸引することを形成とする半導体装置の製造方法。

(2) 非晶質半導体膜の所定箇所の選択的加熱をレーザビーム照射により行う特許請求の範囲第1の記載の半導体装置の製造方法。

(3) 非晶質半導体膜の吸引箇所を結晶質半導体膜に変換し、その周辺の非晶質半導体膜をそのまま電子分離層として残して複数の電子を吸引する特許請求の範囲第1の記載の半導体装置の製造方法。

3. 発明の詳細な説明

この発明は、非晶質半導体膜の一部を選択的に結晶質半導体膜に変換して所定の電子を形成

する半導体装置の製造方法に関する。

従来より、砲銃状基板上に単結晶半導体膜を形成させて、この単結晶半導体膜において表面凹路を構成する方法が SOS (Silicon on Sapphire) 技術として知られている。この方法では一般的なサファイア基板上に鋼はくはくストランジスタ等を複数な電子分離を行つて形成することができるが、(1)サファイア基板は凸面であり、従つて表面凹路が凸側になら、(2)サファイアとシリコンの電子分離の埋め込みにより大きい面積が良質な単結晶シリコン膜を形成させることができなく、特性のすぐれた表面凹路を得るためにとか嬉しい。単電子分離は凸面に形成されたシリコン膜を島状にエッチングすることで得られたの上極めて複雑である。この欠点がある。

この発明は、安価な砲銃状基板を用いて、比較的簡単な工程で特性的優れた表面凹路を実現することを可能とした半導体装置の製造方法を提供するものである。

この発明は、所定の基板上にます非晶質半導

体膜の所定箇所を遮蔽的に加熱して結晶質半導体膜に変換して、この結晶質半導体膜に所望の電子を形成することを特許としている。

例えば非晶質シリコン膜は通常の方法で形成されるか、その形成条件を述べることにより、比抵抗  $1 \cdot 0^{12} \Omega \cdot \text{cm}$  以上の良好な熱抵抗膜として得られる。そしてこの非晶質シリコン膜は約  $670^{\circ}\text{C}$  以上に加熱すると結晶化して結晶シリコン膜となることが既に知られている。また最近、溶融石英ガラス基板の表面を適当に加工して非晶質シリコン膜を形成し、これを加熱することにより、非晶質シリコンが吸収熱  $1 \cdot 0 \cdot 0 \text{ mJ}$  程度の単結晶粒子に変換することが報告されている (Appl. Phys. Letters, Vol. 35, P. 71, 1979)。この発明ではこれらの技術を応用して、例えばガラス基板上に非晶質シリコン膜を形成した後、その電子形成領域のみを遮蔽的に加熱して結晶化して、ここに電子を形成しようとするものである。

以下この発明の実施例を説明する。第1図～

-3-

ムを遮蔽的に半導体膜として、非晶質シリコン膜とのMOSトランジスタ形成箇所を加熱して単結晶シリコン膜に変換する。レーザビームの走査相位はマスク3によらず、例えばレーザ原の前にケルブリオメーターを利用したシヤフタ化により遮蔽してもよい。得られた単結晶シリコン膜はほぼ唯一の単結晶粒子よりなるもので、良質なものである。こうして形成された単結晶シリコン膜に、通常のMOS技術として用られている手順に従い、まず図3に示すように、イオン注入法によりソース電極4、ドレイン電極5、およびチャネル部6を形成し、ゲート絶縁膜7を成す。ソース電極4、ドレイン電極5、およびゲート電極7を形成して完成する。

図では便宜上、1個のMOSトランジスタのみ示したが、隣接する領域にも同様のMOSトランジスタその他の半導体の電子を形成して集積回路を構成する。即ち、単結晶化されない高比抵抗の非晶質シリコン膜8がそのまま電子分離膜として使つことになる。

-5-

第4図はMOS集積回路に適用した実施例の1個のMOSトランジスタ部分の構造上端断面図である。まず第1図に示すように、石英ガラス基板1を用い、その表面にクロム膜を蒸着し、ホトマスク付着、エッチングを行つてクロムマスクを形成して基板エッチングを行い、間隔3.8  $\mu\text{m}$ 、深さ  $1 \cdot 0 \cdot 0 \text{ nm}$  の溝を形成する。次にこのガラス基板1の表面に  $\text{SiH}_4$  のグロー放電分解により出力  $2 \text{ mW}$  不すよう深さ  $1 \sim 2 \text{ nm}$  の非晶質シリコン膜2を形成する。具体的には、例えばガラス基板1に対向するターゲットガラスシリコン基板を用い、Arガス中には  $\text{SiH}_4$  (あるいは  $\text{PH}_3$ ) を適当量添加して高効率で印加して、 $\text{SiH}_4$  のグロー放電分解により、比抵抗  $1 \cdot 0^{12} \Omega \cdot \text{cm}$  以上でなく (あるいは  $\text{P}$ ) が  $1 \cdot 0^{-6} \sim 1 \cdot 0^{-7} \text{ cm}^{-3}$  とされたほど熱敏度である非晶質シリコン膜2を形成する。この次に3図に示すように、例えば金属性マスク3を用い、Arイオンレーザ (出力  $1 \text{ W}$ 、繰返しパルス周波数  $1 \text{ KHz}$ ) によりレーザビーム

-4-

この方法によれば、基板は非晶質膜をつけるためのものであるから、SOSにおけるサブアライアのようないわゆる半結晶熱敏基板である必要がなく、上述のようなガラス基板で十分であり、既に半導体技術を適用して構造化することができる。また図3では熱抵抗子の不端台による欠陥発生があり、特に大面積になるとその発生が大きく良好な構造の発現例を得ることが難しいが、この方法では非晶質膜のうち電子形成を行う微小な部分のみを遮蔽的に加熱して単結晶化する限り、より唯一の結晶粒子からなる良質の単結晶化が得られ、従つて熱抵抗子の特徴も改めらるるがやられる。更に、この方法では、基板上につけた半導体膜は、千じめ高比抵抗に形成しておいたとより遮蔽エッチング上端は必要がなく、電子膜の周辺部でのまま電子分離膜として残すことができ、しかもこれにより表面が平坦なものとなるから高比抵抗化にとても有利である。

なお、既述例では非晶質シリコン膜を用い、

-80-

-6-

ル頭板、5…ゲート酸化膜、6<sub>1</sub>…ソース電極、  
6<sub>2</sub>…ドレイン電極、6<sub>3</sub>…ゲート電極。

のクロ-放電分解により形成したが、その他スパッタリングや不活性ガス(N<sub>2</sub>, Ar等)中での化学蒸着法を利用してもよい。また非晶質膜を選択的に加熱する手段としてレーザビーム等を用いたが、電子ビーム照射等他の方法を用いることもできる。更に、MOSデバイスそのものの製造方法や基板その他の材料は任意に選択できることは勿論、この発明はバイポーラデバイスにも同様に適用することができる。

以上のようにこの発明によれば、非晶質半導体膜を出発材料として選択的に加熱して所定箇所を結晶化してそこにホolesを形成することにより、各種半導体装置の特性向上とコストダウンを図ることができる。

#### 4. 凹面の簡単な説明

第1図～第4図はこの発明の一実施例の製造工程断面図である。

1…石英ガラス基板、2…非晶質シリコン膜、  
3…マスク、4…半結晶シリコン膜、6<sub>1</sub>…ソース頭板、6<sub>2</sub>…ドレイン頭板、6<sub>3</sub>…ゲート頭板

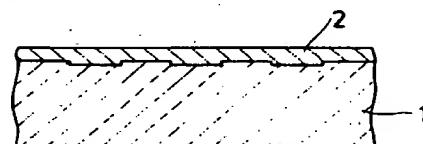
- 7 -

- 8 -

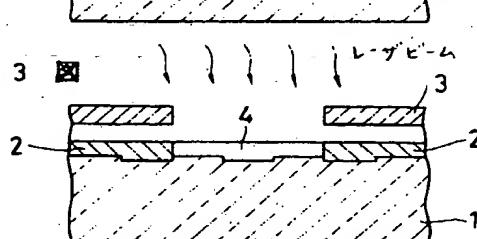
第1図



第2図



第3図



第4図

